

【特許請求の範囲】

【請求項 1】

半導体本体と、この本体の一主表面上に横並びに配される複数の素子セルとを備え、各素子セルは、第 1 導電型のチャネル形成領域により反対の第 2 導電型の下部ドレイン領域から分離されているソース領域と前記チャネル形成領域に容量結合されて、前記ドレイン、ソース領域間の導電チャネルを制御するゲート電極と、前記一主表面から前記下部ドレイン領域までドレイン・トレンチ内に延在する少なくとも一つのドレイン接続を備えた電界効果半導体装置であって、

前記チャネル形成領域は横方向に前記ドレイン・トレンチまで延在し、前記ドレイン・トレンチは前記チャネル形成領域の厚みを介して前記下部ドレイン領域まで延在し、前記ドレイン・トレンチの横壁上の中間絶縁層により前記ドレイン接続が前記チャネル形成領域より分離されていることを特徴とする半導体装置。

【請求項 2】

前記チャネル形成領域の中間部分により前記ドレイン・トレンチから横方向に分離されるソース領域を備えるセルまで前記ドレイン・トレンチが延在し、前記チャネル形成領域の前記中間部分は前記ゲート電極の制御外である特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ドレイン・トレンチと前記ゲート電極はそれらの配置において交互に配されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記ドレイン・トレンチは、ドレイン・トレンチを有しない素子セルに横方向に囲まれた配線セルを介して延在していることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記配線セルは、前記ゲート電極の制御外である前記チャネル形成領域の中間部分により前記ドレイン・トレンチから横方向に分離されているソース領域を備えていることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記チャネル形成領域の厚みを介してゲート・トレンチ内に前記ゲート電極が延在し、各セルの前記ソース領域は前記一主表面上で前記ゲート・トレンチに隣接していることを特徴とする請求項 1 乃至 5 いずれかに記載の半導体装置。

【請求項 7】

前記チャネル形成領域の近傍で、前記ドレイン・トレンチの前記中間絶縁層より薄いゲート誘電体層と前記ゲート・トレンチが横並びであることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記ドレイン領域は、ドリフト領域下部に、このドリフト領域よりも高濃度にドーパされた電極領域を備え、前記ドレイン・トレンチ内の前記ドレイン配線は、前記チャネル形成領域と前記ドレイン・ドリフト領域の両方の厚みを介してさらに高濃度にドーパされたドレイン電極領域に達していることを特徴とした請求項 1 乃至 7 いずれかに記載の半導体装置。

【請求項 9】

前記ドレイン・ドリフト領域は、前記チャネル形成領域の第 1 導電型の導電型決定ドーパント濃度より低い第 2 導電型のドーパント濃度を有することを特徴とした請求項 8 記載の半導体装置。

【請求項 10】

前記チャネル形成領域の近傍で、前記ドレイン領域は前記チャネル形成領域の前記第 1 導電型の導電型決定ドーパント濃度より高い第 2 導電型のドーパント濃度を有することを特徴とした請求項 1 乃至 7 記載いずれかにの半導体装置。

【請求項 11】

前記ドレイン領域は第 2 導電型の単結晶基板を有し、この単結晶基板上のエピタキシャル層内に前記チャネル形成領域が存在していることを特徴とした請求項 1 乃至 10 記載いずれかにの半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は電界効果型半導体装置に関する。特にこの発明は、半導体装置の一つの主表面に各素子セルが隣り合い、ドレイン・トレンチ内でこの主表面から下部ドレイン領域に少なくとも一つのドレイン配線が延在する構造の、トレンチ・ゲート型絶縁ゲート電界効果パワートランジスタ（いわゆるMOSFET）を含む半導体装置に関する。さらにこの発明はこれら半導体装置の製造方法に関する。

【0002】

【従来の技術】

米国特許US-A-5,682,048には、一つの半導体装置内及び上部に複数のMOSFETを集積可能な電界効果型半導体装置が記載されている。各MOSFETの主表面には複数素子セルが隣り合って配されている。各素子セルの構造は公知で、第1導電型のチャネル形成領域によりソース領域が反対の第2導電型の下部ドレイン領域から分離されている。公知の方法により、ゲート電極がチャネル形成領域に容量結合されてソース領域、ドレイン領域間導電チャネルを制御している。この米国特許US-A-5,682,048の開示内容はすべてここに引用されるものである。

【0003】

【発明が解決しようとする課題】

米国特許US-A-5,682,048の装置では、各MOSFETのドレイン領域が、ドレイン・ドリフト領域と装置表面との間に高濃度にドーピングされた埋め込み層を有している。各埋め込み層により各FETへの互いに分離されたドレイン配線が可能となっている。一つの装置内にこれら複数のMOSFETが集積されているので、各MOSFETは一つの主表面とドレイン埋め込み層との間に少なくとも一つのドレイン配線を有している。米国特許US-A-5,682,048では、ドレイン・ドリフト領域のある部分を介して延びるドレイン・トレンチ内に低抵抗材料を用いて、一つの主表面から下部のドレイン埋め込み層への

ドレイン配線を形成する方法を開示している。これらのトレンチ内ドレイン配線はドレイン・ドリフト領域よりはるかに低抵抗でMOSFETのON抵抗を低減している。

【0004】

この発明は、さらに小型のセルラー配置のトレンチ内ドレイン配線を有するMOSFET等の半導体装置を提供することを目的としている。さらに、ディスクリート素子内での基板導電路の形成を防止することによりON抵抗を低減し、そして導電チャネルを形成する全セルラー配置領域を広く取れる半導体装置を提供することを目的としている。

【0005】

【課題を解決するための手段】

この発明は、複数の隣り合う素子セルと少なくとも一つのトレンチ内ドレイン配線を備えた電界効果半導体装置であって、チャネル形成領域がドレイン・トレンチへ向かって横方向に延在し、ドレイン・トレンチはチャネル形成領域の厚みを介して下部ドレイン領域へ延在し、そしてドレイン・トレンチの横壁上の中間絶縁層によりドレイン配線がチャネル形成領域から分離されている半導体装置を提供する。

【0006】

ドレイン配線をチャネル形成領域から分離するのにドレイン・ドリフト領域の中間部分は必要ないので小型のセルラー配置が達成される。この発明は、低濃度にドーピングされたドリフト領域を持たない低電圧装置にも用いることができるトレンチ内ドレイン配線構造を提供する。

【0007】

ディスクリート素子では、下部ドレイン領域は上記第2導電型の単結晶基板を有してもよい。装置上面（特に、エキタピシャル層）へのトレンチ内ドレイン配線により、基板から底面への公知の方法による伝導路形成が不要となる。ON抵抗低減に関する装置設計が重要になるにつれ、特にトレンチ・ゲート装置では、この発明無しには、基板内伝導路により全ソース・ドレイン間ON抵抗が増大することになる。

【0008】

全セル配置領域内で多くの導電チャネルを形成するには活性ソース領域を有するセルを介してドレイン・トレンチが延在すればよい。この活性ソース領域は導電チャネル形成領域の中間部分でドレイン・トレンチから横方向に分離することができる。

【0009】

トレンチ内ドレイン配線により占められる全セル配置領域を縮小するには、ドレイン・トレンチが無い素子セルが横方向に隣接する配線セルを介して一つのドレイン・トレンチ又は各ドレイン・トレンチが延在すればよい。

【0010】

これらの隣接素子セルにより例えば横方向に配線セルを囲んでもよい。

【0011】

この発明の各特長と変形例が請求項に掲げられている。

【0012】

各種素子構造をこの発明により製造することができる。例えば、チャネル形成領域の厚みを介してドレイン・トレンチをエッチングすると素子本体の主表面にチャネル形成領域を局部的に配置することができる。このチャネル形成領域は主表面において前記第1の導電型の連続ドーブ層から形成することができる。これは例えば、少なくとも素子の活性領域又はドーブされたエピタキシャル層内の非局部（プランケット）ドーパント注入及び/又は拡散により形成することができる。素子がトレンチ・ゲート型の場合はゲート・トレンチはドレイン・トレンチと同じプロセスでエッチングすることができる。両トレンチは同じ深さを有しても良い。

【0013】

【発明の実施の形態】

図2、3において線分I-Iは図1、4の断面部分を示す。なお、すべての図面は略図である。また、各図において、理解しやすいように各構成要素の寸法、互いの大小関係は拡大又は縮小されている。さらに、各実施形態及び変形例において同様な要素には同じ参照番号が付与されている。

【0014】

図1はトレンチ・ゲートMOSFETであるセルラー・パワー半導体装置の一実施形態を示す。この装置のトランジスタ・セル領域内で、第1導電型（ここではp型）のチャンネル形成領域15により反対の第2導電型（ここではn型）のソース領域13とドレイン領域14が分離されている。領域13、15を介してドレイン領域14の下部まで延在するトレンチ20内にゲート電極11が存在する。ゲート・トレンチ20はゲート誘電体22と横並びであり、ゲート誘電体22を介してゲート電極11がチャンネル形成領域15に容量結合されている。従って、公知のように素子がON状態のときにゲート電極11に電圧を加えると、領域15内に（ここでは電子の）導電チャネル12が形成され、ソース領域13、ドレイン領域14間のこの導電チャネル12に流れる電流が制御される。ソース領域13はこの装置本体の上面の主表面10aに隣接しており、ここでソース電極33が接触している。この装置はさらに装置本体の上面の主表面10aにドレイン電極34を備える。

【0015】

この発明ではドレイン電極34、ドレイン領域14間に少なくとも一つの配線41を形成する効果的な方法を提供する。このドレイン配線41はドレイン・トレンチ40内で表面10aから下部ドレイン領域14まで延在している。ドレイン・トレンチ40はチャンネル形成領域15の厚みを介して下部ドレイン領域14までエッチングされている。この結果、チャンネル形成領域15は横方向にドレイン・トレンチ40まで延在している。ドレイン・トレンチ40の横壁上で中間絶縁層24により、ドレイン配線41はチャンネル形成領域15から分離されている。ドレイン・トレンチ40が延在している素子セルは好ましくは図1の例のように活性セルである。従って、ドレイン・トレンチ40は図1に示すようにゲート・トレンチ20に隣接しているソース領域13を形成するセルを介して延在している。チャンネル形成領域15の中間部15aにより、ソース領域13はドレイン・トレンチ40から横方向に分離されている。この配置のため、中間部15aはゲート電極11の制御範囲外となっている。

【0016】

図1の装置はディスクリート電界効果トランジスタであり、ドレイン領域14は第2導電型(n型)の単結晶基板である。この基板(領域14)の底面は素子本体10の裏面10bを形成しており、ここで素子本体10は例えば素子のリード・フレーム台上に固定される。この素子では単結晶基板(領域14)上のエピタキシャル層内にチャネル形成領域15が存在している。

【0017】

図1の装置は、低電圧(例えば、ソース電極33、ドレイン電極34間が20又は30ボルト程度)で動作しそして低ドーパ・ドレイン・ドリフト領域の無い構造に形成されている。この場合、チャネル形成領域15は、単結晶基板14上に直接成長する第1導電型(ここではp型)のエピタキシャル層により簡単に形成される。エピタキシャル層により、基板即ちドレイン領域14の第2導電型のドーパント濃度(N+)より低い第1導電型の導電型決定ドーパント濃度(P)を有してチャネル形成領域15が形成される。

【0018】

ゲート・トレンチ20とドレイン・トレンチ40は共にエピタキシャル層(領域15)の厚みを介して基板(領域14)までエッチングされている。トレンチ20、40は共にフォトリソグラフィ、エッチングによりこの装置配置内で所定部位に形成してもよい。トレンチ20、40は深さZを有してもよい。

【0019】

ゲート・トレンチ20内に設けられるゲート誘電体22の材料及び厚みは所望のゲート特性即ちゲート電極11、チャネル形成領域15間の容量結合に応じて選ばれる。ドレイン・トレンチ40内に設けられるドレイン絶縁体24の材料及び厚みは、動作電圧で所望の絶縁性を示し、ドレイン配線41、チャネル形成領域15間の容量を低減するように選ばれる。これにより、典型的には、(少なくともチャネル形成領域15近傍において)ゲート絶縁層22はドレイン絶縁層24より薄くなる。トレンチ酸化により二酸化シリコンで層22、24を形成するとよい。ゲート・トレンチ20をマスクして直接エッチングによりドレイン・トレンチ40を再露出してもよい。

【0020】

典型的には、素子本体10は単結晶シリコンであり、層22、24は二酸化シリコンである。ゲート電極11は典型的には導電ドーパ多結晶シリコンである。ドレイン配線41も、深さが浅いので、導電ドーパ多結晶シリコンでもよい。しかし、特にドレイン・トレンチ40の幅W4が狭くなる場合、高導電体、例えば、アルミニウム、銅、タングステン等の金属によりドレイン配線41を形成すると効果的である。ソース領域33、ドレイン領域34は、例えば、アルミニウムや銅でもよく、また、同じ金属、異なる金属いずれでもよい。従って、セルラー配置において、ソース電極33上の絶縁層までドレイン電極34が延在するとよく、一つの電極が銅で他の電極がアルミニウムであるとよい。ゲート配線パッド(ゲート電極11のコンタクトをとる)はアルミニウム又は銅でもよい。絶縁層23は典型的には二酸化シリコンで素子表面10a上に存在してホールを有し、これらを介してソース電極33、ドレイン電極34が各々領域13と配線41に接触し、ゲート配線パッドが電極11に接触するようにしてもよい。絶縁上部層26は典型的には二酸化シリコンでゲート・トレンチ20上に存在し、上部ソース電極13からゲート電極11を分離する。

【0021】

典型的な実施形態において、チャネル形成領域15は、例えば、ソース電極33がこれに接触する表面10aにおいて、ドーピング濃度(P)はホウ素原子が 10^{16} 個 cm^{-3} 乃至 10^{17} 個 cm^{-3} であり、増加したドーパント濃度(P+)はホウ素原子が 10^{18} 個 cm^{-3} 乃至 10^{19} 個 cm^{-3} である。ソース領域13、ドレイン領域14の導電型決定ドーパント濃度(P+)は、例えば、磷又は砒素原子が 10^{19} 個 cm^{-3} 乃至 10^{22} 個 cm^{-3} である。

【0022】

トレンチ20、40の深さzは例えば $1\mu\text{m}$ 乃至 $3\mu\text{m}$ である。ゲート誘電体22の厚みは典型的には75nm未満例えば50nmである。20又は30ボルト用装置ではドレイン・トレンチ絶縁体24の厚みは例えば60nmがよい。トレンチ20、40の幅W2、W4そしてそれらの間隔はこの装置に用いられるプロセス技術とセルラーアレイ配置による。

【0023】

この発明のドレイン・トレンチ構造は、全く異なる公知のセル配置に適用される。例えば、この装置セルは正方形配置、密にパックされた六角形配置さらには延在するストライプ配置でもよい。図2は互い違いなストライプ配置の一実施形態を示し、図3は正方形セル配置の一実施形態を示す。これらの図では数個の横並びの素子セルのみしか示されていないが、典型的には、電極33、34間に数千のこれらの並列セルが配される。この装置の活性セル領域は（図示しない）各種公知の周辺端末処理により装置10の周辺に固定される。周辺端末処理はこの装置に用いるプロセス技術とこの装置の電圧特性による。周辺端末処理には通常トランジスタセル形成工程の前に装置表面10aの周辺領域に厚いフィールド酸化膜を形成することが含まれる。

【0024】

図2の装置において、ドレイン・トレンチ40とゲート電極11が互い違いに配置されている。この配置状態では図1のソース電極13とドレイン電極14も互い違いに配置されている。各ドレイン・トレンチ40をゲート・トレンチ20と入れ替えることにより、ドレイン電極34、下部ドレイン領域14間の大きな配線領域が形成される。この状態では、ドレイン・トレンチ40の幅W4がゲート・トレンチ20の幅W2より小さくなり、ドレイン電極34、ドレイン領域14間のオーミック配線抵抗が小さくなる。

【0025】

図3に、ドレイン・トレンチ40が無い素子セル100に横方向に囲まれた配線セル101を介して延びるドレイン・トレンチ40を有する構造の一実施形態を示す。この状態では、ドレイン・トレンチ40の幅W4がゲート・トレンチ20の幅W2より大きいとドレイン配線抵抗を低減することができる。このドレイン・トレンチの幅は配線セル101を他のセル101より大きくすることによりさらに大きくなる。図3の実施形態では、一つの配線セル101がアレイの4個の通常セル100と置き換わっている。なお、この例ではセル100、101が正方形配置となっている。

【0026】

図3には一つの配線セル101しか示されていないが、複数のそのような配線

セル101を装置内の他のセル100の中に配置することができる。例えば、図3のセルラー配置はX、Y両方向に繰り返し配置されてもよい。各配線セル101は2列又はそれ以上のセル100（図3の正方形配置では少なくとも32個のセル100）又は一つの列（図3の正方形配置では12個のセル100）により囲むようにしてもよい。

【0027】

配線セル101はゲート・トレンチ20近隣にソース領域13を有する装置の活性セルでもある。このソース領域13はチャネル形成領域15の中間部分15aによりドレイン・トレンチから横方向に分離されている。部分15aはゲート電極11の制御外にある。

【0028】

図1の装置のドレイン領域14は、チャネル形成領域15の近傍に、この領域15の導電型決定ドーパント濃度Pより高いドーパント濃度N+を有する。図4は異なる状態を示しており、低ドーブ・ドレイン・ドリフト領域14bがチャネル形成領域15の近傍に存在している。ドリフト領域14bを設けることにより、例えば、ドレイン電極14に対する電圧が50ボルト以上の高電圧装置が実現できる。

【0029】

図4の装置のドレイン領域14は、高ドーブ電極領域14aが、それほど高濃度ドーブでないドレイン・ドリフト領域14bの下部に形成されている。典型的には、ドレイン・ドリフト領域14bは、チャネル形成領域15の第1の導電型の導電型決定ドーパント濃度Pより低い第2導電型のドーパント濃度N-を有する。ドリフト領域14bは典型的には装置基板（領域14a）のエピタキシャル層である。チャネル形成領域15はこのエピタキシャル層内又はこのエピタキシャル層上に成長させた第2のエピタキシャル層内に注入及び/又は拡散してもよい。ドレイン・トレンチ40内のドレイン配線41はチャネル形成領域15とドレイン・ドリフト領域14b両方の厚みを介してさらに高濃度にドーブされたドレイン電極領域14aまで延在している。ドレイン・トレンチ40の横壁上のドレイン・トレンチ絶縁体24は例えば50ボルト用装置で100nm厚である。

【0030】

図4ではゲート・トレンチ20がドレイン・トレンチ40と同じ深さを有する。この状態で高電圧用装置では、高濃度ドーパのドレイン電極領域14a近傍のゲート絶縁体22を厚く形成するとよい。図4では、厚い絶縁体22aがトレンチ20の底部でドリフト領域14bの近傍の横壁の下部に形成されている。この厚い絶縁体22aは例えばドレイン絶縁体24と同じ厚みと材料を有してもよい。

【0031】

図4の装置の変形例として、ドリフト領域14b内に底部を有する浅いゲート・トレンチ20を有してもよい。トレンチ20、40は共にまず浅くエッチングし、そして、ゲート・トレンチ20をマスクしてドレイン・トレンチ40を領域14aに達するまでエッチングしてもよい。

【0032】

この発明は、特に、トレンチ・ゲート構造を有する小型の装置配置に適している。しかし、この発明のドレイン配線41はプラナー・ゲート装置に用いてもよい。この例が図5に示されている。この装置では、装置表面10a上のゲート誘電体層21上にゲート電極11が形成されている。プラナー・チャネル形成領域15を介してゲート電極11下の表面10までドレイン・ドリフト領域14bが延在している。ドリフト領域14b、ソース領域13間のゲート電極11の下にチャネル形成領域15の中間部分内に導電チャネル12が形成されている。

【0033】

図5の装置では、ドレイン・トレンチ40がチャネル形成領域15の厚みを介して下部ドレイン領域14aまで延在している。チャネル形成領域15は横方向にドレイン・トレンチ40まで延在しているが、ドレイン・トレンチ40の横壁上の中間絶縁層24によりドレイン配線41から分離されている。この配置は上記トレンチ・ゲート構造の実施形態より小型化等において少し不利である。

【0034】

図1乃至5では、装置10の裏面10bまで基板として延在するドレイン領域14aを有するディスクリット装置を示したが、この発明は集積回路装置にも起

用される。この場合、装置基板とエピタキシャル低ドーブ領域14b又は15との間に領域14a又は14を埋め込み層としてドーブしてもよい。この埋め込み層領域14a又は14は、トレンチ40の横壁の絶縁層24によりチャンネル形成領域15より分離されたトレンチ・ドレイン配線41と繋げてよい。

【0035】

通常、上記のようにゲート電極11はドーブされた多結晶シリコンにより形成される。しかし、他の公知のゲート技術で形成してもよい。例えば、多結晶シリコン材料とシリサイドを形成する薄い金属材料をゲート電極11形成用のさらなる材料として用いてもよい。多結晶シリコンの代わりにゲート電極11全体を金属で形成してもよい。これと同じ材料をドレイン配線41に用いてもよい。

【0036】

図1乃至4では、絶縁層22がゲート・トレンチ20と横並びになっている絶縁トレンチ・ゲート構造を示したが、代わりにいわゆるショットキー・ゲート技術を用いてもよい。この場合、ゲート絶縁層22は存在せず、低ドーブ・チャンネル形成領域15とショットキー・バリアを形成する金属でトレンチ・ゲート電極11が形成される。ショットキー・バリアに存在する拡散層によりショットキー・ゲート電極11がチャンネル形成領域15に容量結合される。

【0037】

上記各例はnチャンネル装置であり、領域13、14はn導電型、領域15はp導電型、そしてゲート電極11により電子逆チャンネル12が領域15内に形成されている。しかし、この発明では、逆導電型のドーパントを用いてpチャンネル装置を作ることできる。この場合、領域13、14はp導電型、領域15はn導電型、そしてゲート電極11によりホール逆チャンネル12が領域15内に形成される。

【0038】

以上の開示により当業者であれば他の変形例も考えられる。これら変形例には設計、製造、半導体装置の使用において既に知られている各特長を上記記載した特徴に加えることにより実現できるものも含むものである。

【図面の簡単な説明】

【図 1】

この発明の簡単な構造の低電圧、トレンチ・ゲート電界効果型半導体装置の活性中央部分を示す断面図である。

【図 2】

図 1 又は図 4 に示すこの発明のトレンチ・ゲート電界効果型半導体装置の互い違いな配置の一部を示す略平面図である。

【図 3】

図 1 又は図 4 に示すこの発明のトレンチ・ゲート電界効果型半導体装置の別な配置の一部を示す略平面図である。

【図 4】

高電圧動作用の図 1 に示すこの発明のトレンチ・ゲート電界効果型半導体装置の変形例の活性中央部分を示す断面図である。

【図 5】

プレーナゲートを有するこの発明のトレンチ・ゲート電界効果型半導体装置のさらなる変形例の活性中央部分を示す断面図である。

【図 1】

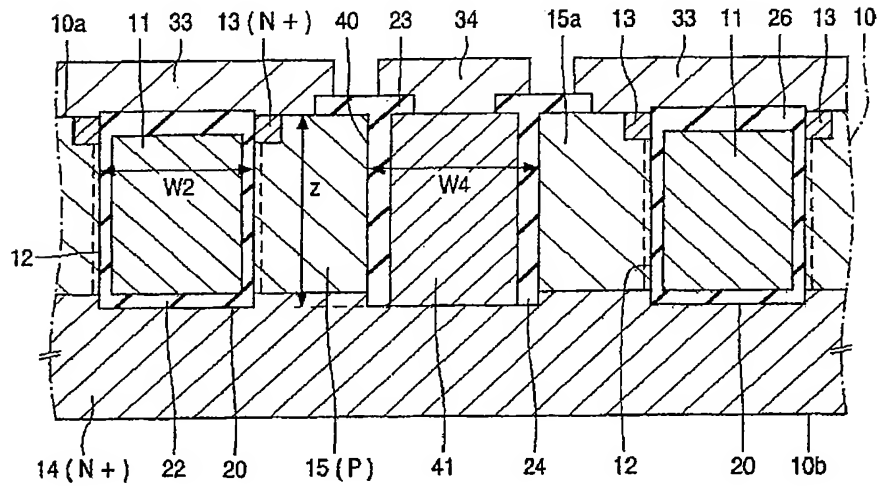


FIG. 1

【図 2】

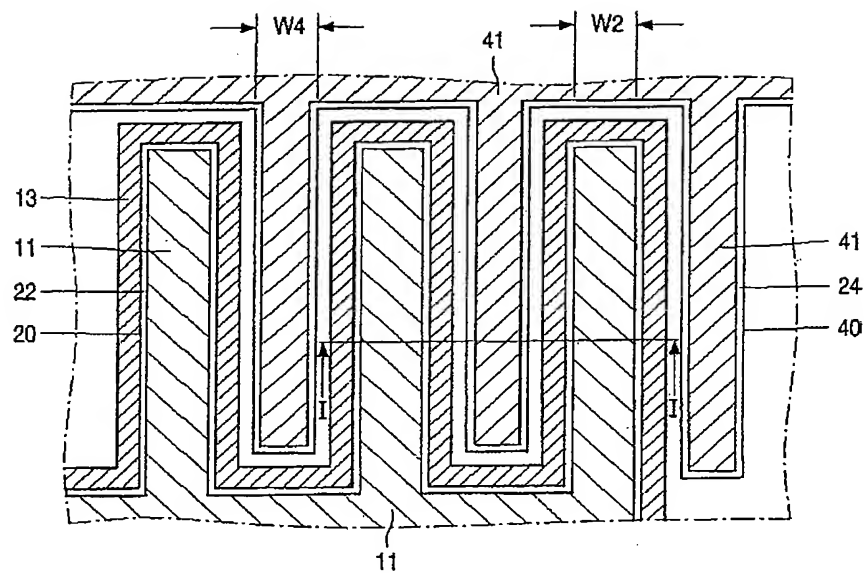


FIG. 2

【図 3】

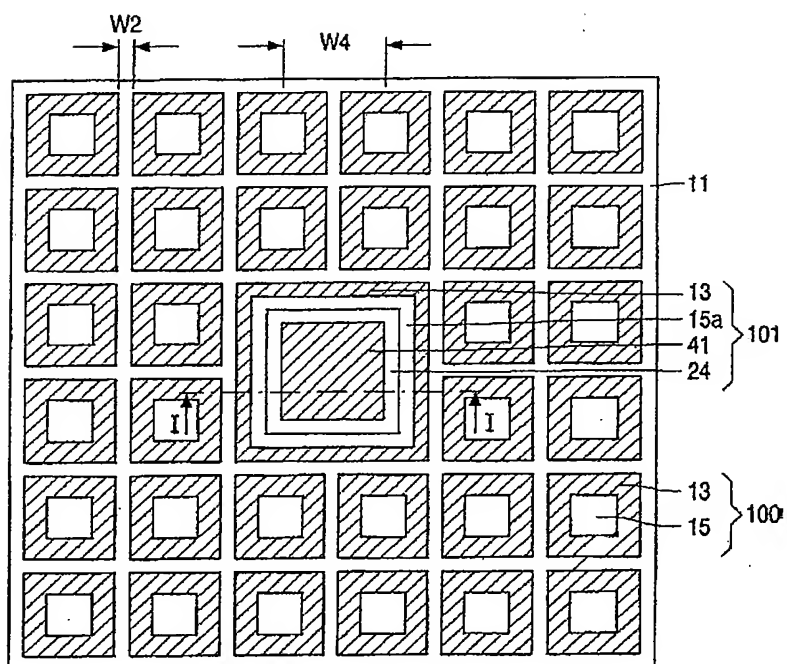
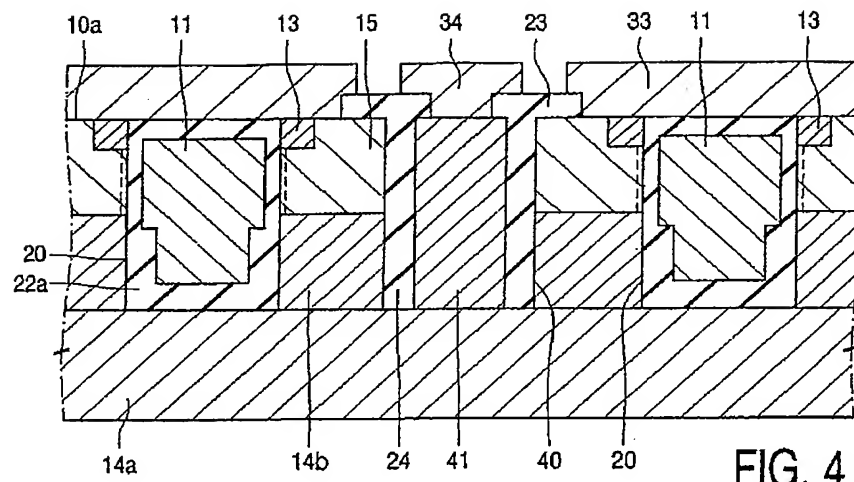
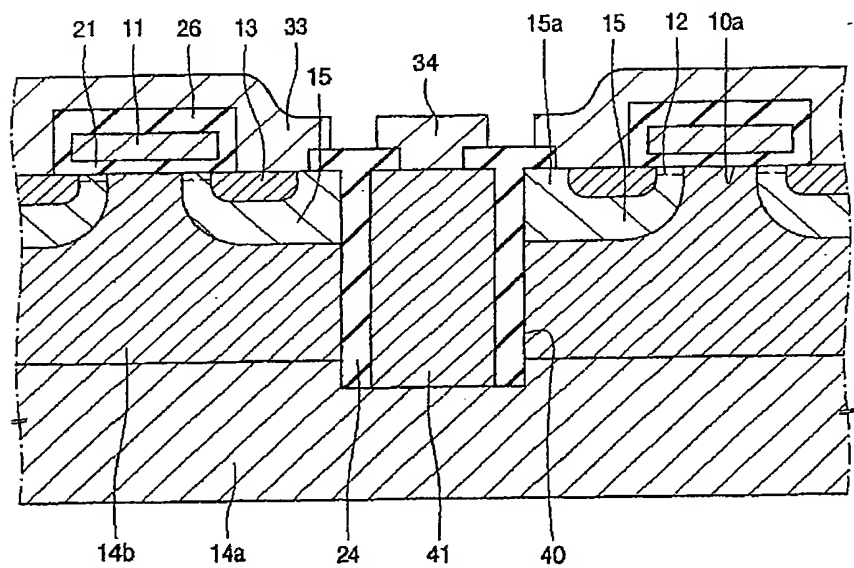


FIG. 3

【図 4】



【図 5】



INTERNATIONAL SEARCH REPORT

International Application No.
PCT/EP 01/02271

A. CLASSIFICATION OF SUBJECT MATTER		
IPC 7 H01L29/78 H01L29/417 H01L29/812		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used)		
EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 016, no. 478 (E-1274), 5 October 1992 (1992-10-05) -& JP 04 171764 A (NISSAN MOTOR CO LTD), 18 June 1992 (1992-06-18)	1-3, 6, 8, 9, 11
Y	abstract; figures 1-3, 9	4, 5, 7, 10
Y	US 5 682 048 A (SHINOHARA T ET AL) 28 October 1997 (1997-10-28) cited in the application	4, 5
A	column 3, line 55 - column 4, line 63; figures 1A-1B	1, 6, 8
Y	US 4 914 058 A (BLANCHARD R A) 3 April 1990 (1990-04-03)	7, 10
A	column 3, line 23 - column 6, line 47; figures 3-5	1, 6, 8, 9, 11
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claims or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
25 October 2001		31/10/2001
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentkan 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, Tlx 31 661 epo nl, Fax (+31-70) 340-3016		Authorized officer Morvan, D

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/EP 01/02271

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 09, 30 July 1999 (1999-07-30) & JP 11 103056 A (TOYOTA CENTRAL RES & DEV LAB INC), 13 April 1999 (1999-04-13)	1, 2, 6
A P, X	abstract; figures 5-11 - & US 6 177 704 B1 23 January 2001 (2001-01-23) column 6, line 50 -column 13, line 57; figures 5-11 -----	4, 5, 11
A	PATENT ABSTRACTS OF JAPAN vol. 012, no. 476 (E-593), 13 December 1988 (1988-12-13) & JP 63 194367 A (MATSUSHITA ELECTRIC WORKS LTD), 11 August 1988 (1988-08-11) abstract; figures 1-3 -----	1, 8, 9

2

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

page 2 of 2

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/EP 01/02271

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
JP 04171764	A	18-06-1992	JP 3008479 B2	14-02-2000
US 5682048	A	28-10-1997	JP 8316467 A DE 19620021 A1	29-11-1996 21-11-1996
US 4914058	A	03-04-1990	NONE	
JP 11103056	A	13-04-1999	US 6177704 B1	23-01-2001
JP 63194367	A	11-08-1988	AU 2019188 A	23-02-1989

Form PCT/ISA/210 (patent family annex) (July 1999)

フロントページの続き

- (72) 発明者 エルウィン、エイ、ハイツェン
オランダ国5656、アーアー、アインドーフ
エン、プロフ、ホルストラーン、6
- (72) 発明者 ロブ、バン、ダーレン
オランダ国5656、アーアー、アインドーフ
エン、プロフ、ホルストラーン、6